

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

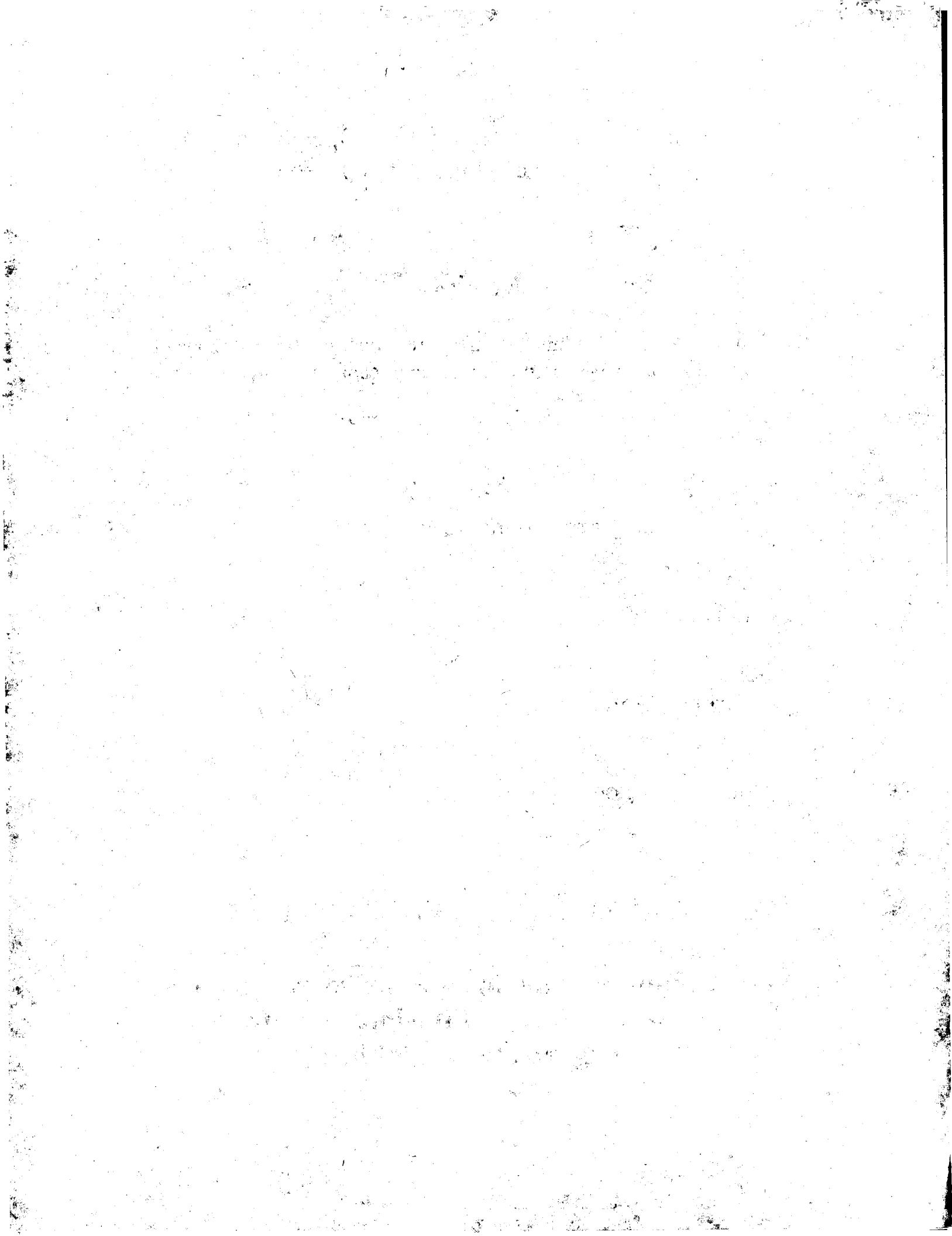
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
23. Mai 2002 (23.05.2002)

PCT

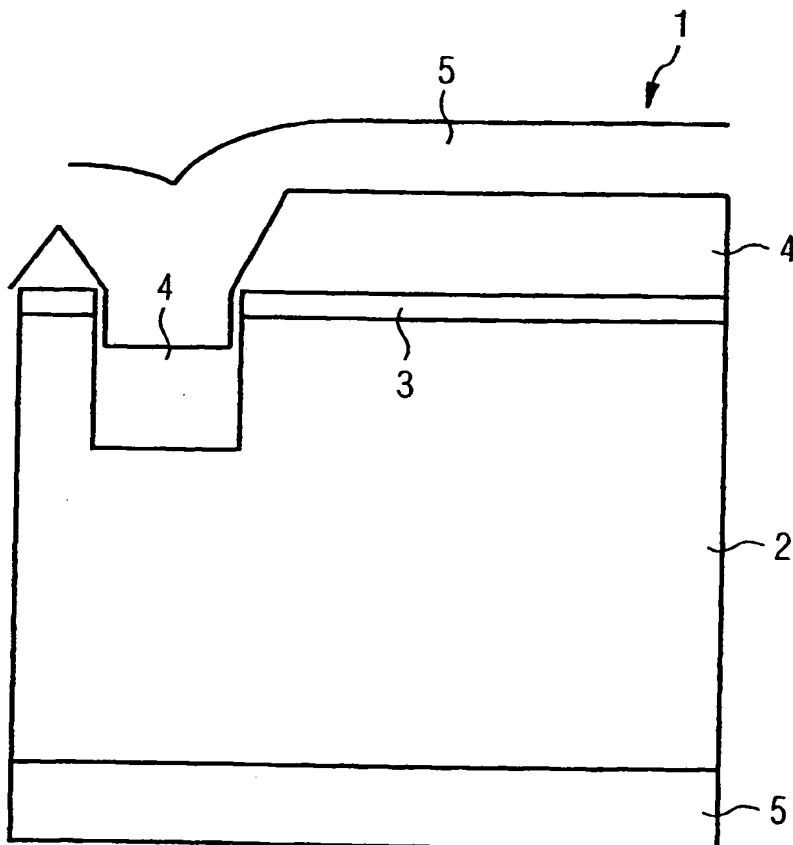
(10) Internationale Veröffentlichungsnummer
WO 02/41399 A2

- (51) Internationale Patentklassifikation⁷: **H01L 27/00**
- (21) Internationales Aktenzeichen: PCT/EP01/12034
- (22) Internationales Anmeldedatum:
17. Oktober 2001 (17.10.2001)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
100 56 261.2 14. November 2000 (14.11.2000) DE
- (71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (*nur für US*): MOLL, Hans-Peter [DE/DE]; Louisenstr. 60, 01099 Dresden (DE). WICH-GLASEN, Andreas [DE/DE]; A. Richter-Str. 12, 01465 Langebrueck (DE). TRUEBY, Alexander [DE/DE]; Kamenzer Strasse 13 B, 01099 Dresden (DE).
- (74) Anwälte: GINZEL, Christian usw.; Zimmermann & Partner, Postfach 330 920, 80069 München (DE).
- (81) Bestimmungsstaaten (*national*): JP, KR, US.
- (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING AN INTEGRATED SEMICONDUCTOR COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES INTEGRIERTEN HALBLEITER-BAUELEMENTS



(57) Abstract: The invention relates to a method for producing an integrated semiconductor component (1). At least one isolation trench is formed, a first layer (4) consisting of a non-conductive material is applied by means of a non-conforming deposition process, and a second layer (5) consisting of a non-conductive material is applied at least to the rear side of the semiconductor component by means of a conforming deposition process.

(57) Zusammenfassung: Beschrieben wird ein Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements 1, wobei wenigstens ein Isolationsgraben geformt wird, eine erste Schicht 4 aus einem nicht-leitenden Material durch eine nicht-Konforme Abscheidemethode aufgebracht wird und eine zweite Schicht 5 aus einem nicht-leitenden Material durch eine konforme Abscheidemethode zumindest auf die Rückseite des Halbleiter-Bauelements aufgebracht wird.

WO 02/41399 A2



Veröffentlicht:

- ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung**Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements**

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements.

10 Integrierte Halbleiter-Bauelemente werden durch Bildung integrierter Schaltkreise auf Halbleiterwafern hergestellt. Die integrierten Schaltkreise werden intern und extern leitend mit dem Halbleiterwafer verbunden, wodurch strukturierte leitende Schichten ausgebildet werden, die 15 wiederum durch dielektrische Schichten voneinander getrennt sind. Um eine einwandfreie Funktionsfähigkeit der Bauelemente zu gewährleisten, müssen die einzelnen aktiven Elemente der integrierten Schaltkreise voneinander isoliert werden. Dies wird durch sogenannte Isolationsgräben erreicht, die in dem 20 Halbleiterwafer geformt und anschließend mit einem nichtleitenden Material gefüllt werden (shallow trench isolation, STI). Das Füllen mit nichtleitendem Material geschah bisher üblicherweise durch konforme Abscheidung einer Isolationsschicht, also durch Abscheidung von 25 Isolationsmaterial mit gleicher Geschwindigkeit auf sämtlichen zugänglichen Oberflächen. Dadurch erfolgt die Bildung einer Schicht gleichmäßiger Dicke auf dem Halbleiter-Bauelement.

30 In den letzten Jahren hat sich die Komplexität der integrierten Schaltkreise stark vergrößert, während gleichzeitig die Größe der Schaltkreise drastisch abgenommen hat. Aus diesem Grund wurden die zur Trennung der einzelnen aktiven Elemente notwendigen Isolationsgräben mit einem immer 35 größer werdenden Aspektverhältnis geformt. Zur Füllung dieser Isolationsgräben mit großem Aspektverhältnis können aber die klassischen konformen Abscheidungsprozesse nicht mehr

angewandt werden, da die Abscheidung von Isulationsmaterial auf den Wänden des Isolutionsgrabens dessen Verschluss bewirkt bevor der Isolutionsgraben vollständig gefüllt ist. Durch die so entstehenden Hohlräume werden optimale

- 5 Isolationseigenschaften verhindert.

Mit zunehmender Komplexität bei neuen Technologieshrinks und dem damit verbundenen zunehmenden Aspektverhältnis der Isolutionsgräben gewannen daher nicht-konforme Füllprozesse 10 zur Füllung der Isolutionsgräben an Bedeutung. Bei diesen nicht-konformen Füllprozessen erfolgt die Abscheidung von Isolutionsmaterial auf verschiedenen Flächen des Halbleiterbauelements mit unterschiedlicher Geschwindigkeit, wodurch Isolationsschichten unterschiedlicher Dicke auf dem 15 Halbleiterbauelement abgeschieden werden. Da sich das Isolutionsmaterial am Boden der Isolutionsgräben schneller abscheidet als an den Wänden der Gräben, werden die Isolutionsgräben mit dem Isolutionsmaterial gefüllt, ohne dass Hohlräume gebildet werden. Die restlichen Strukturen des 20 Halbleiterbauelements werden ebenfalls von einer Isolationsschicht bedeckt (siehe Figur 1).

Bei der Anwendung dieser nicht-konformen Füllprozesse tritt das Problem auf, dass keine Versiegelung der 25 Waferrückseite erfolgt. Bei fehlender Rückseitenversiegelung besteht aber die Gefahr, dass bei nachfolgenden thermischen Prozessen Materialien wie z.B. Dotierstoffe aus der Rückseite des Wafers austreten und sich auf dem benachbarten Wafer absetzen, da die Wafer üblicherweise in Rotten stehend den 30 thermischen Prozessen unterzogen werden. Dies kann Einflüsse auf weitere Prozessschritte und auch auf die elektrische Funktionalität der integrierten Schaltung haben. Insbesondere sind Einsatzspannung, Leckströme und GOX-Zuverlässigkeit als Problemquellen zu nennen.

35

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Herstellung integrierter

Halbleiter-Bauelemente bereitzustellen, bei dem optimale Isolationseigenschaften der Isolationsgräben erreicht werden und gleichzeitig eine Versiegelung der Wafer-Rückseite erfolgt.

5

Diese Aufgabe wird durch das Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements gemäß dem unabhängigen Patentanspruch 1 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Das erfindungsgemäße Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements umfasst die Schritte Formen wenigstens eines Isolationsgrabens, Aufbringen einer ersten Schicht aus einem nicht-leitenden Material durch eine nicht-konforme Abscheidemethode und Aufbringen einer zweiten Schicht aus einem nicht-leitenden Material durch eine konforme Abscheidemethode zumindest auf die Rückseite des Halbleiter-Bauelements.

In dem erfindungsgemäßen Verfahren wird also nach Füllung des Isolationsgrabens durch eine nicht-konforme Abscheidemethode ein zusätzlicher Abscheideschritt durchgeführt. Dieser dient der Versiegelung der Rückseite des Halbleiter-Bauelements. Dadurch wird verhindert, dass in nachfolgenden thermischen Prozessschritten zur Behandlung des Halbleiter-Bauelements aus der Rückseite Materialien wie z.B. Dotierstoffe ausdiffundieren. Die aufgrund des temperaturabhängigen Dampfdrucks dieser Materialien bei erhöhten Temperaturen stärker auftretende Ausdiffusion wird durch die Rückseitenversiegelung verhindert.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung weist der Isolationsgraben eine Tiefe zwischen 5000

und 10000 Angstroem auf, insbesondere eine Tiefe zwischen 6000 und 8000 Angstroem.

Bevorzugt sind daneben Ausführungsformen, bei denen die
5 erste Schicht aus einem nichtleitenden Material in einer Dicke zwischen 1000 und 4000 Angstroem, insbesondere in einer Dicke zwischen 2000 und 3000 Angstroem aufgetragen wird.

Gemäß ganz besonders bevorzugten Ausführungsformen der
10 vorliegenden Erfindung wird die zweite Schicht aus einem nichtleitenden Material in einer Dicke zwischen 1000 und 5000 Angstroem, insbesondere in einer Dicke zwischen 2000 und 4000 Angstroem aufgetragen.

15 Als nicht-konforme Methode zur Abscheidung der ersten Schicht aus nicht-leitendem Material wird die high density plasma chemical vapor deposition (HDP-CVD) oder ein Selox-Verfahren (selective oxide) bevorzugt, während als konforme Methode zur Abscheidung der zweiten Schicht aus nicht-
20 leitendem Material die atmospheric pressure thermal chemical vapor deposition (APCVD), die sub-atmospheric pressure thermal chemical vapor deposition (SACVD) oder die low pressure chemical vapor deposition (LPCVD) bevorzugt angewendet werden.

25 Als nicht-leitendes Material zur Füllung der Isolationsgräben und zur Versiegelung der Rückseite des Halbleiter-Bauelements wird bevorzugt Siliziumoxid verwendet. Als Si-Quelle beim Aufbringen der nicht-leitenden Schichten
30 wird Tetraethylorthosilikat (TEOS) bevorzugt.

Ganz besonders bevorzugt wird eine Ausführungsform der vorliegenden Erfindung gemäß der die durch eine konforme Abscheidemethode aufgebrachte zweite Schicht aus einem nicht-
35 leitenden Material auch auf die Vorderseite des Halbleiter-Bauelements aufgebracht wird. Dadurch kann zum einen die Füllung der Isolationsgräben weiter vervollständigt werden

und zum anderen wird die topologieabhängige Dicke der Isolationsschicht ausgeglichen.

Gemäß einer ganz besonders bevorzugten Ausführungsform
5 der vorliegenden Erfindung wird als weiterer Schritt nach dem Aufbringen der zweiten Schicht aus einem nicht-leitenden Material ein chemical mechanical polishing (CMP) durchgeführt. Wird die durch die konforme Abscheidemethode aufgebrachte zweite Schicht auch auf der Vorderseite des
10 integrierten Halbleiter-Bauelements aufgebracht, so ergibt sich der besondere Vorteil, dass durch den vorherigen Ausgleich der Dicke der Schicht aus nicht-leitendem Material Polish-Only CMP Technologien angewandt werden können.

15 Die Erfindung wird nachfolgend anhand der Figuren 1 bis 3 näher dargestellt. Es zeigen:

- Fig. 1 schematisch den Querschnitt eines Halbleiter-Bauelements mit einer ersten durch eine nicht-konforme Abscheidemethode aufgebrachten Schicht aus einem nicht-leitenden Material;
- 20 Fig. 2 schematisch den Querschnitt eines Halbleiter-Bauelements mit einer zweiten durch eine konforme Abscheidemethode auf die Rückseite des Halbleiter-Bauelements aufgebrachten Schicht aus einem nicht-leitenden Material;
- 25 Fig. 3 schematisch den Querschnitt eines Halbleiter-Bauelements mit einer zweiten durch eine konforme Abscheidemethode auch auf die Vorderseite des Halbleiter-Bauelements aufgebrachten Schicht aus einem nicht-leitenden Material.
- 30
- 35

Fig. 1 zeigt schematisch den Querschnitt eines aus dem Stand der Technik bekannten Halbleiter-Bauelements 1

bestehend aus einer Halbleiterschicht 2, einer Padnitrid-Schicht 3 und einer ersten durch eine nicht-konforme Abscheidemethode aufgebrachten Schicht 4 aus einem nicht-leitenden Material. Die Rückseite des Halbleiter-Bauelements
5 ist durch die nicht-konforme Abscheidemethode nicht versiegelt.

Fig. 2 zeigt schematisch den Querschnitt eines Halbleiter-Bauelements 1 bestehend aus einer
10 Halbleiterschicht 2, einer Padnitrid-Schicht 3, einer ersten durch eine nicht-konforme Abscheidemethode aufgebrachten Schicht 4 aus einem nicht-leitenden Material und einer zweiten durch eine konforme Abscheidemethode auf die Rückseite des Halbleiter-Bauelements aufgebrachten Schicht 5
15 aus einem nicht-leitenden Material. Durch den zusätzlichen Abscheideschritt ist auch die Rückseite des Halbleiter-Bauelements versiegelt.

Fig. 3 zeigt schematisch den Querschnitt eines Halbleiter-Bauelements 1 bestehend aus einer Halbleiterschicht 2, einer Padnitrid-Schicht 3, einer ersten durch eine nicht-konforme Abscheidemethode aufgebrachten Schicht 4 aus einem nicht-leitenden Material und einer zweiten durch eine konforme Abscheidemethode aufgebrachten
25 Schicht 5 aus einem nicht-leitenden Material. Die Schicht 5 ist in dieser Ausführungsform nicht nur auf der Rückseite des integrierten Halbleiter-Bauelements aufgebracht, sondern auch auf dessen Vorderseite. Durch den zusätzlichen Abscheideschritt wird neben der Versiegelung der Rückseite
30 des Halbleiter-Bauelements auch die Füllung der Isolationsgräben weiter vervollständigt und die topologieabhängige Dicke der Isolationsschicht ausgeglichen.

Patentansprüche

1. Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements (1) umfassend die Schritte
 - wenigstens ein Isolationsgraben wird geformt,
 - eine erste Schicht (4) aus einem nicht-leitenden Material wird durch eine nicht-konforme Abscheidemethode aufgebracht,
 - eine zweite Schicht (5) aus einem nicht-leitenden Material wird durch eine konforme Abscheidemethode zumindest auf die Rückseite des integrierten Halbleiter-Bauelements aufgebracht.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass der Isolationsgraben eine Tiefe zwischen 5000 und 10000 Angstroem aufweist.
3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet, dass der Isolationsgraben eine Tiefe zwischen 6000 und 8000 Angstroem aufweist.
4. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass die erste Schicht (4) aus einem nichtleitenden Material eine Dicke zwischen 1000 und 4000 Angstroem aufweist.
5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet, dass die erste Schicht (4) aus einem nichtleitenden Material eine Dicke zwischen 2000 und 3000 Angstroem aufweist.
6. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass

die zweite Schicht (5) aus einem nichtleitenden Material eine Dicke zwischen 1000 und 5000 Angstroem aufweist.

7. Verfahren nach Anspruch 6,

d a d u r c h g e k e n n z e i c h n e t , dass die zweite Schicht (5) aus einem nichtleitenden Material eine Dicke zwischen 2000 und 4000 Angstroem aufweist.

8. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t , dass als nicht-konforme Methode zur Abscheidung der ersten Schicht (4) aus nicht-leitendem Material high density plasma chemical vapor deposition (HDP-CVD) oder ein Selox-Verfahren angewendet wird.

15

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass als konforme Methode zur Abscheidung der zweiten Schicht (5) aus nicht-leitendem Material atmospheric pressure thermal chemical vapor deposition (APCVD), sub-atmospheric pressure thermal chemical vapor deposition (SACVD) oder low pressure LPCVD angewendet wird.

20

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass als nicht-leitendes Material Siliziumoxid verwendet wird.

25

11. Verfahren nach Anspruch 10,

30

d a d u r c h g e k e n n z e i c h n e t , dass als Si-Quelle beim Aufbringen der nicht-leitenden Schichten Tetraethylorthosilikat (TEOS) verwendet wird.

35

12. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t , dass die durch eine konforme Abscheidemethode aufgebrachte zweite Schicht (5) aus einem nicht-leitenden Material auch

auf die Vorderseite des Halbleiter-Bauelements aufgebracht wird.

13. Verfahren nach einem der vorherigen Ansprüche,
5 durch gekennzeichnet, dass als weiterer Schritt nach dem Aufbringen der zweiten Schicht (5) aus einem nicht-leitenden Material ein chemical mechanical polishing (CMP) durchgeführt wird.

C

O

1/2

FIG 1

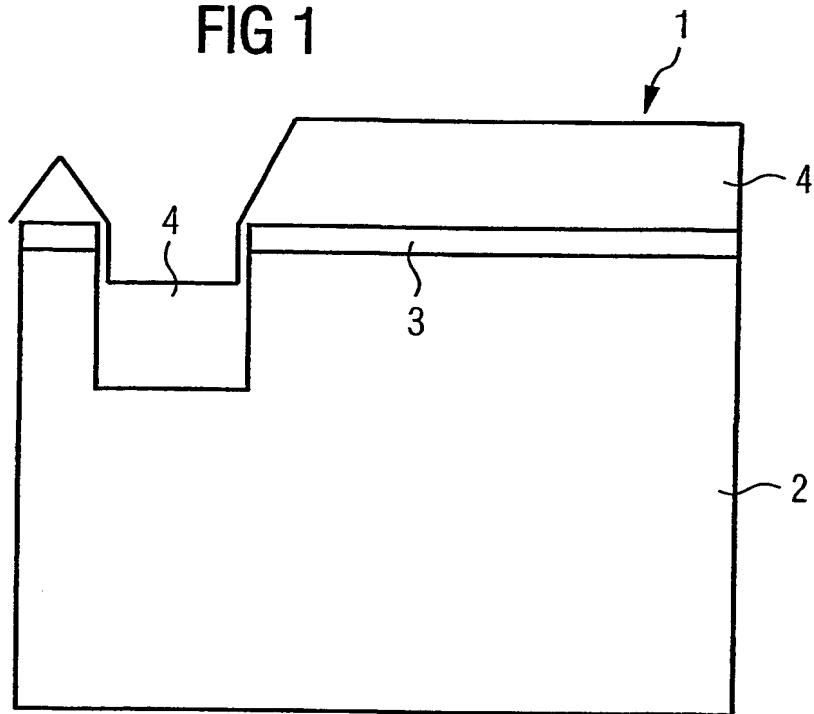
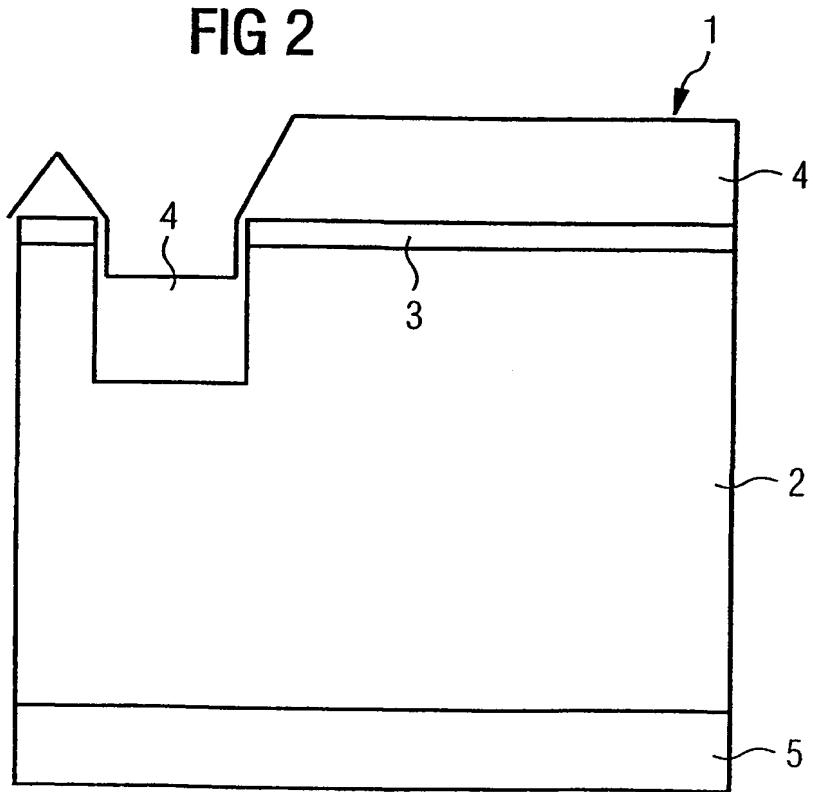
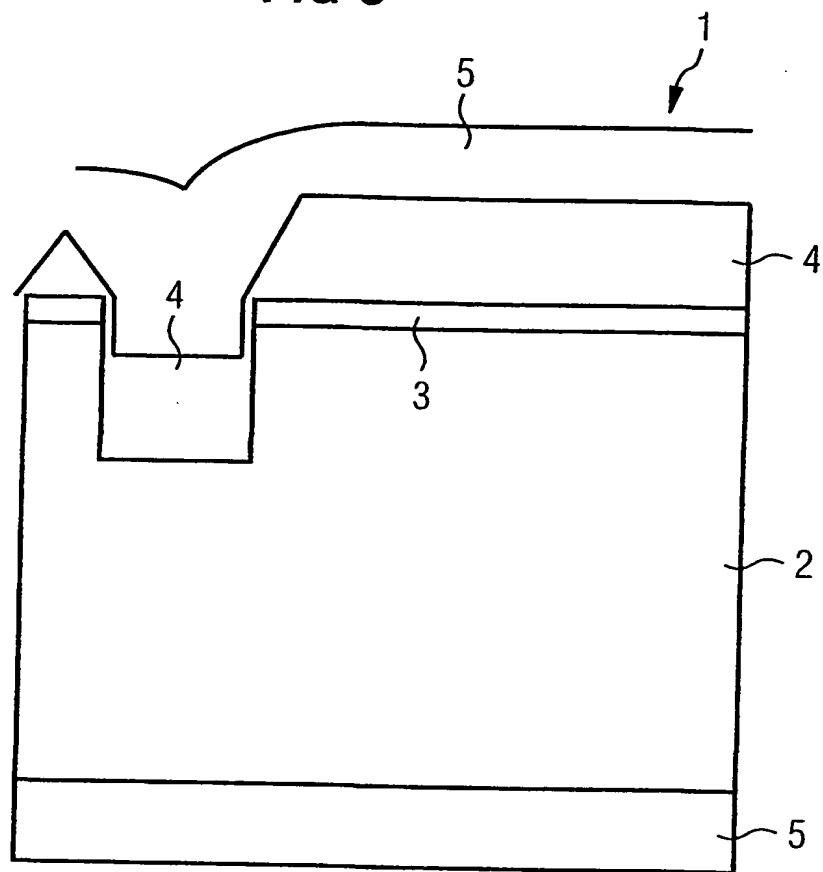


FIG 2



2/2

FIG 3



THIS PAGE BLANK (USPTO)

C

○

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



PCT

(10) Internationale Veröffentlichungsnummer
WO 02/041399 A3

(51) Internationale Patentklassifikation⁷: **H01L 21/762**

(21) Internationales Aktenzeichen: PCT/EP01/12034

(22) Internationales Anmeldedatum:
17. Oktober 2001 (17.10.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 56 261.2 14. November 2000 (14.11.2000) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **INFINEON TECHNOLOGIES AG [DE/DE]**; St.-Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): **MOLL, Hans-Peter [DE/DE]**; Luisenstr. 60, 01099 Dresden (DE). **WICH-GLASEN, Andreas [DE/DE]**; A. Richter-Str. 12, 01465 Langebrueck (DE). **TRUEBY, Alexander [DE/DE]**; Kamenzer Strasse 13 B, 01099 Dresden (DE).

(74) Anwälte: **GINZEL, Christian usw.; Zimmermann & Partner, Postfach 330 920, 80069 München (DE)**.

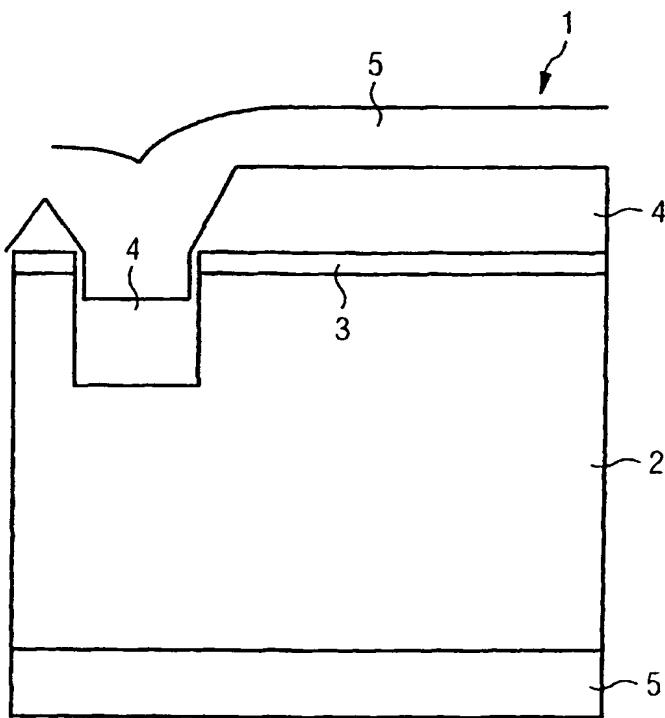
(81) Bestimmungsstaaten (*national*): JP, KR, US.

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING AN INTEGRATED SEMICONDUCTOR COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES INTEGRIERTEN HALBLEITER-BAUELEMENTS



(57) Abstract: The invention relates to a method for producing an integrated semiconductor component (1). At least one isolation trench is formed, a first layer (4) consisting of a non-conductive material is applied by means of a non-conforming deposition process, and a second layer (5) consisting of a non-conductive material is applied at least to the rear side of the semiconductor component by means of a conforming deposition process.

(57) Zusammenfassung: Beschrieben wird ein Verfahren zur Herstellung eines integrierten Halbleiter-Bauelements 1, wobei wenigstens ein Isolationsgraben geformt wird, eine erste Schicht 4 aus einem nicht-leitenden Material durch eine nicht-Konforme Abscheidemethode aufgebracht wird und eine zweite Schicht 5 aus einem nicht-leitenden Material durch eine konforme Abscheidemethode zumindest auf die Rückseite des Halbleiter-Bauelements aufgebracht wird.

WO 02/041399 A3



Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(88) Veröffentlichungsdatum des internationalen Recherchenberichts: 15. August 2002

INTERNATIONAL SEARCH REPORT

I International Application No
PCT/EP 01/12034

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/762

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 057 210 A (KUO MING-HONG ET AL) 2 May 2000 (2000-05-02) abstract; claims; figure 4 column 3, line 37 -column 4, line 11 ---	1-3,6,8, 10-13
Y	US 4 687 682 A (KOZE JEFFREY T) 18 August 1987 (1987-08-18) abstract; claims column 1, line 44 - line 63 column 2, line 35 - line 45 ---	1-3,6,8, 10-13
A	US 6 133 114 A (HUNG TSUNG-YUAN ET AL) 17 October 2000 (2000-10-17) abstract; claims; figures	1,4,5,9
A	US 6 037 018 A (YU CHEN-HUA DOUGLAS ET AL) 14 March 2000 (2000-03-14) abstract; claims; figures ---	1,11
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

24 May 2002

Date of mailing of the international search report

03/06/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax. (+31-70) 340-3016

Authorized officer

Wirner, C

INTERNATIONAL SEARCH REPORT

ational Application No
PCT/EP 01/12034

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 057 207 A (LIN CHUNG-TE ET AL) 2 May 2000 (2000-05-02) abstract; claims; figures -----	1,8,10, 12,13
A	EP 0 905 756 A (SIEMENS AG ; IBM (US)) 31 March 1999 (1999-03-31) abstract; claims; figures -----	1,8,10, 12,13

INTERNATIONAL SEARCH REPORT

nternational Application No
/EP 01/12034

Priority document: used in search report		Publication date	Patent family member(s)		Publication date
US 6057210	A	02-05-2000	NONE		
US 4687682	A	18-08-1987	CA DE EP ES HK JP JP KR SG WO	1253263 A1 3777532 D1 0265504 A1 2004414 A6 95993 A 2653804 B2 63503184 T 9203291 B1 124092 G 8706762 A1	25-04-1989 23-04-1992 04-05-1988 01-01-1989 24-09-1993 17-09-1997 17-11-1988 27-04-1992 19-02-1993 05-11-1987
US 6133114	A	17-10-2000	TW	405210 B	11-09-2000
US 6037018	A	14-03-2000	NONE		
US 6057207	A	02-05-2000	NONE		
EP 0905756	A	31-03-1999	US CN EP JP TW US	5880007 A 1226744 A 0905756 A2 11162987 A 392247 B 6001740 A	09-03-1999 25-08-1999 31-03-1999 18-06-1999 01-06-2000 14-12-1999

INTERNATIONALER RECHERCHENBERICHT

nationales Aktenzeichen

rui/EP 01/12034

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/762

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 6 057 210 A (KUO MING-HONG ET AL) 2. Mai 2000 (2000-05-02) Zusammenfassung; Ansprüche; Abbildung 4 Spalte 3, Zeile 37 - Spalte 4, Zeile 11 —	1-3, 6, 8, 10-13
Y	US 4 687 682 A (KOZE JEFFREY T) 18. August 1987 (1987-08-18) Zusammenfassung; Ansprüche Spalte 1, Zeile 44 - Zeile 63 Spalte 2, Zeile 35 - Zeile 45 —	1-3, 6, 8, 10-13
A	US 6 133 114 A (HUNG TSUNG-YUAN ET AL) 17. Oktober 2000 (2000-10-17) Zusammenfassung; Ansprüche; Abbildungen —	1, 4, 5, 9
A	US 6 037 018 A (YU CHEN-HUA DOUGLAS ET AL) 14. März 2000 (2000-03-14) Zusammenfassung; Ansprüche; Abbildungen — —/—	1, 11

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- *&* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

24. Mai 2002

03/06/2002

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wirner, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 01/12034

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 057 207 A (LIN CHUNG-TE ET AL) 2. Mai 2000 (2000-05-02) Zusammenfassung; Ansprüche; Abbildungen -----	1,8,10, 12,13
A	EP 0 905 756 A (SIEMENS AG ;IBM (US)) 31. März 1999 (1999-03-31) Zusammenfassung; Ansprüche; Abbildungen -----	1,8,10, 12,13

INTERNATIONALER RECHERCHENBERICHT

tionales Aktenzeichen

PCT/EP 01/12034

Recherchebericht oder zitiertes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6057210	A 02-05-2000	KEINE	
US 4687682	A 18-08-1987	CA 1253263 A1 DE 3777532 D1 EP 0265504 A1 ES 2004414 A6 HK 95993 A JP 2653804 B2 JP 63503184 T KR 9203291 B1 SG 124092 G WO 8706762 A1	25-04-1989 23-04-1992 04-05-1988 01-01-1989 24-09-1993 17-09-1997 17-11-1988 27-04-1992 19-02-1993 05-11-1987
US 6133114	A 17-10-2000	TW 405210 B	11-09-2000
US 6037018	A 14-03-2000	KEINE	
US 6057207	A 02-05-2000	KEINE	
EP 0905756	A 31-03-1999	US 5880007 A CN 1226744 A EP 0905756 A2 JP 11162987 A TW 392247 B US 6001740 A	09-03-1999 25-08-1999 31-03-1999 18-06-1999 01-06-2000 14-12-1999